

⑰ 公開特許公報 (A)

昭63-178620

⑯ Int.Cl.¹H 03 K 19/00
17/00
19/094

識別記号

庁内整理番号

⑯ 公開 昭和63年(1988)7月22日

A-8326-5J
B-7190-5J
B-8326-5J

審査請求 未請求 発明の数 1 (全3頁)

⑤発明の名称 クロックストロープ回路

⑥特願 昭62-10315

⑦出願人 昭62(1987)1月19日

⑧発明者 木村 恒一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑨出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑩代理人 弁理士 内原 晋

明細書

1. 発明の名称

クロックストロープ回路

2. 専許請求の範囲

ステータスを記憶しこのステータスに応じたクロックオン信号を出力するステータスレジスタと、クロックオン信号ごとに設けられクロックが供給されたときに前記クロックオン信号に応じたエリアロックを出力するN個のクロックゲートと、システムをN個の動作領域に分割・管理し対応するエリアクロックが供給されたときのみ回路を動作状態とし対応するエリアクロックが停止されたときに動作を停止するN個のロジック回路エリアとを含むことを特徴とするクロックストロープ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、クロックストロープ回路、特に、CMOSデジタル回路に利用し高速・大規模CMOSデジタル回路の低消費電力回路を達成するために利用するクロックストロープ回路に関する。

〔従来の技術〕

従来、厳しい低電力化設計が要求される宇宙機器搭載用電子回路等では、回路中のアイドル部回路の電源を切って、システムの低消費電力化を図るパワー・ストロープという方式等が用いられた。

〔発明が解決しようとする問題点〕

しかしながら、このような上述した従来のパワー・ストロープ方式は、比較的高速性の要求されない回路等には適していたが、高速ロジックでしかもダイナミックIC ON-OFF を繰り返す回路の実現には適していない。

また、パワー・ストロープ方式では、回路の電源をON-OFF するため、他動作部が動作中の場合電源にスイッチングによるノイズが発生する可能性があり、好ましくない。

そこで、他に高速ロジック回路において、ダイ

ナミックにアイドル部と動作部を切換える、他の動作中の回路に悪影響を与えない低消費電力化設計が必要である。

〔問題点を解決するための手段〕

本発明のクロックストロープ回路は、CMOSデバイスがデータの変化によって主に電力消費がなされることに着目し、CMOSデジタル回路中の動作状態を管理し、アイドル部回路へのクロック供給をダイナミックに遮断することによって低消費電力化を実現しようとするもので、CMOSデジタル回路中の各機能領域にクロック遮断ゲートを設け、また各領域の動作状態を示すステータスレジスタを有して構成される。

〔実施例〕

次に、本発明の実施例について、図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

第1図に示すクロックストロープ回路は、マイクロコードROM1と、デコーダ2と、ステータス

ICによって、エリアクロックdNはクロックオン信号cNによって制御され、それぞれクロックオン信号c1~cNがハイレベルの時にクロックbが有効となる。

こうして、動作中および動作開始するロジック回路エリア51~5Nにのみエリアクロックd1~dNを供給して、他のアイドル状態のロジック回路エリア51~5Nにはエリアクロックd1~dNの入力を遮断しその内部ロジックの動作をフリーズする。

上述のロジック回路エリアの動作状態は、特別に動作ハードウェアエリア指定フィールドをマイクロコードに設定しなくとも、命令コードのデコードから判断することも可能である。

〔発明の効果〕

本発明のクロックストロープ回路は、CMOSロジック回路を動作エリアとアイドルエリアとに分け、動作エリアのみにクロックの供給を行なうことにより、全回路に電源供給をしたまま他の動作中の回路エリアに悪影響を与えることなく回路全

レジスタ3と、N個のクロックゲート51~5Nと、N個のロジック回路エリア51~5Nとを含んで構成される。

なお、ここで、第1図に示すクロックストロープ回路は、マイクロプログラムを有する計算機の一部を想定しており、マイクロコード中にその命令実行動作に必要なハードウェアエリアを示すフィールドを設ける場合について述べる。

また、機能領域の分割においてその回路の詳細は本発明の本質に特に関係ないので、一般的にロジック回路エリアと図中に示した。

マイクロコードROM1中の動作ハードウェアエリア指定フィールドのマイクロコードaはデコーダ2にてデコードされ、それぞれステータスレジスタ3にラッピングされる。このステータスをもとに、クロックゲート41~4Nにおいてそれぞれロジック回路エリア51~5Nへのクロックbの供給をダイナミックに遮断する。エリアクロックd1は、クロックオン信号c1によって制御され、同様にエリアクロックd2はクロックオン信号c2

体の平均消費電力を低減することができるという効果がある。

特に、高速クロックによって動作する高集成CMOSロジック回路において有効である。

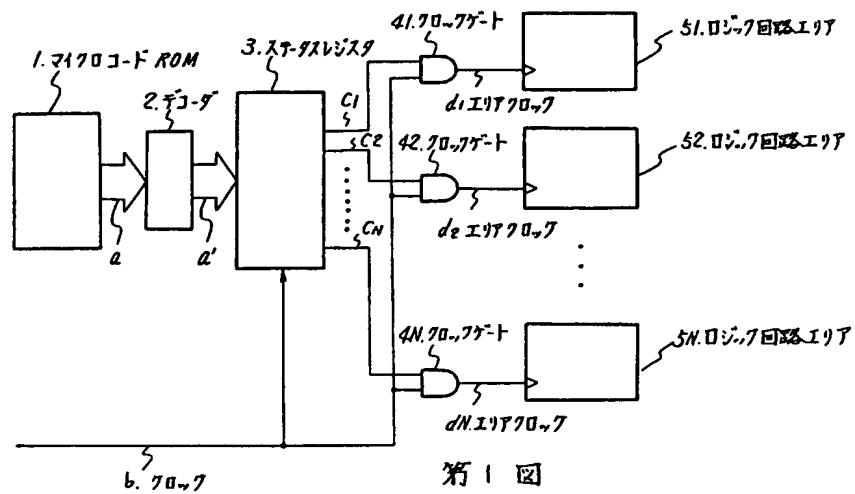
また、本発明のクロックストロープ回路を高集成CMOSLSI等に組み込むことにより、LSIの低消費電力化発熱の低減を実現できるという効果もある。

4 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図である。

1 ……マイクロコードROM、2 ……デコーダ、3 ……ステータスレジスタ、41~4N ……クロックゲート、51~5N ……ロジック回路エリア、a ……マイクロコード、a' ……デコードステータス、b ……クロック、c1~cN ……クロックオン信号、d1~dN ……エリアクロック。

代理人 弁理士 内原晋



第1図